

浙江农林大学继续教育学院试卷（一）

课程名称: 计算机组成原理 层次:本科学习形式:函授 考试方式: 开卷

注意事项: 1、本试卷满分 100 分。

2、考试时间 120 分钟。

学号:

姓名:

专业班级:

学院:

装

题
答
题

不
要
求

内
线

订

题号	一	二	三	四	五	得分
得分						
评阅人						

一、判断题（每小题 1 分，共 10 分；判断命题，正确的打√，错误的打×，填在下列表格内，否则无效。）

本题型暂时没有复习资料。

二、单项选择题（每小题 2 分，共 40 分；在四个备选答案中，选出一个正确答案，并将正确答案填在下列表格内，否则无效。）

题号	1	2	3	4	5	6	7	8	9	10
选项	D	B	C	B	C	C	A	C	A	A
题号	11	12	13	14	15	16	17	18	19	20
选项	A	C	B	A	A	C	C	C	A	B

1. 计算机系统中的存贮器系统是指_____。

- A.RAM 存贮器 B.ROM 存贮器
C.主存贮器 D.Cache、主存贮器和外存贮器

2. 某机字长 32 位，其中 1 位符号位，31 位表示尾数。若用定点小数表示，则最大正小数为_____。

- A.+ (1 - 2⁻³²) B.+ (1 - 2⁻³¹) C.2⁻³² D.2⁻³¹

3. 算术 / 逻辑运算单元 74181ALU 可完成_____。

- A.16 种算术运算功能 B.16 种逻辑运算功能
C.16 种算术运算功能和 16 种逻辑运算功能 D.4 位乘法运算和除法运算功能

4. 存储单元是指_____。
- A.存放一个二进制信息位的存贮元 B.存放一个机器字的所有存贮元集合
C.存放一个字节的所有存贮元集合 D.存放两个字节的所有存贮元集合
5. 相联存贮器是按_____进行寻址的存贮器。
- A.地址方式 B.堆栈方式 C.内容指定方式 D.地址方式与堆栈方式
6. 变址寻址方式中，操作数的有效地址等于_____。
- A.基值寄存器内容加上形式地址（位移量）
B.堆栈指示器内容加上形式地址（位移量）
C.变址寄存器内容加上形式地址（位移量）
D.程序记数器内容加上形式地址（位移量）
7. 以下叙述中正确描述的句子是：_____。
- A.同一个 CPU 周期中，可以并行执行的微操作叫相容性微操作
B.同一个 CPU 周期中，不可以并行执行的微操作叫相容性微操作
C.同一个 CPU 周期中，可以并行执行的微操作叫相斥性微操作
D.同一个 CPU 周期中，可以并行执行的微代码叫相斥性微操作
8. 计算机使用总线结构的主要优点是便于实现积木化，同时_____。
- A.减少了信息传输量 B.提高了信息传输的速度
C.减少了信息传输线的条数 D.加重了 CPU 的工作量
9. 带有处理器的设备一般称为_____设备。
- A.智能化 B.交互式 C.远程通信 D.过程控制
10. 某中断系统中，每抽取一个输入数据就要中断 CPU 一次，中断处理程序接收取样的数据，并将其保存到主存缓冲区内。该中断处理需要 X 秒。另一方面，缓冲区内每存储 N 个数据，主程序就将其取出进行处理，这种处理需要 Y 秒，因此该系统可以跟踪到每秒_____次中断请求。
- A. $N / (NX + Y)$ B. $N / (X + Y)N$ C. $\min[1/X, 1/Y]$ D. $\max[1/X, 1/Y]$
11. 目前大多数集成电路生产中，所采用的基本材料为_____。
- A.单晶硅 B.非晶硅 C.锑化钼 D.硫化镉
12. 用 16 位字长（其中一位符号位）表示定点小数时，所能表示的数值范围是

_____。

- A. $0 \leq |N| \leq 1 \cdot 2^{-(16+1)}$ B. $0 \leq |N| \leq 1 \cdot 2^{-16}$
C. $0 \leq |N| \leq 1 \cdot 2^{-(16-1)}$ D. $0 \leq |N| \leq 1$

13. 运算器虽有许多部件组成，但核心部件是_____。
A.数据总线 B.算术逻辑运算单元 C.多路开关 D.累加寄存器
14. 某计算机字长32位，其存储容量为4MB，若按字编址，它的寻址范围是_____。
A. 1M B. 4MB C. 4M D. 1MB
15. 常用的虚拟存储系统由_____两级存储器组成，其中辅存是大容量的磁表面存储器。
A.主存-辅存 B.快存-主存 C.快存-辅存 D.通用寄存器-主存
16. 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数以外，另一个数常需采用_____。
A.堆栈寻址方式 B.立即寻址方式 C.隐含寻址方式 D.间接寻址方式
17. 为确定下一条微指令的地址，通常采用断定方式，其基本思想是_____。
A.用程序计数器 PC 来产生后继微指令地址
B.用微程序计数器 μ PC 来产生后继微指令地址
C.通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址
D.通过指令中指定一个专门字段来控制产生后继微指令地址
18. 描述 PCI 总线中基本概念不正确的句子是_____。
A.PCI 总线是一个与处理器无关的高速外围总线
B.PCI 总线的基本传输机制是猝发式传送
C.PCI 设备一定是主设备
D.系统中允许多条 PCI 总线
19. 为了使设备相对独立，磁盘控制器的功能全部转移到设备中，主机与设备间采用_____接口。
A.SCSI B.专用 C.ESDI D.RISC
20. I/O 标准接口 SCSI 中，一块主适配器可以连接_____台具有 SCSI 接口的设备。

- A.6 B.7--15 C.8 D.10

三、填空题（每空 1 分，共 15 分；把答案填在划线中。）

本题型暂时没有复习资料。

四、计算题（每小题 10 分，共 20 分）

1. 设机器字长 32 位，定点表示，尾数 31 位，数符 1 位，问：

- (1) 定点原码整数表示时，最大正数是多少？最小负数是多少？
(2) 定点原码小数表示时，最大正数是多少？最小负数是多少？

解：(1) 定点原码整数表示：

最大正数：

0	111	111	111	111	111	111	111	111	111	111	1111
---	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	------

$$\text{数值} = (2^{31} - 1) \cdot 10$$

最小负数：

1	111	111	111	111	111	111	111	111	111	111	1111
---	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	------

$$\text{数值} = -(2^{31} - 1) \cdot 10$$

(2) 定点原码小数表示：

$$\text{最大正数值} = (1 - 2^{-31}) \cdot 10$$

$$\text{最小负数值} = -(1 - 2^{-31}) \cdot 10$$

2. 设存储器容量为 32 字，字长 64 位，模块数 $m = 4$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T = 200\text{ns}$ ，数据总线宽度为 64 位，总线周期 $\tau = 50\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少？

解：信息总量： $q = 64 \text{ 位} \times 4 = 256 \text{ 位}$

顺序存储器和交叉存储器读出 4 个字的时间分别是：

$$t_2 = m T = 4 \times 200\text{ns} = 8 \times 10^{-7} (\text{s})$$

$$t_1 = T + (m - 1) \tau = 200 + 3 \times 50 = 3.5 \times 10^{-7} (\text{s})$$

顺序存储器带宽是：

$$W_1 = q / t_2 = 32 \times 10^7 (\text{位/ s})$$

交叉存储器带宽是：

$$W_2 = q / t_1 = 73 \times 10^7 (\text{位/ s})$$

五、综合分析题（共 2 小题，共 15 分）

1. (5 分) 指令格式如下所示，OP 为操作码字段，试分析指令格式特点。

31	26	22	18 17	16 15	0
OP		源寄存器	变址寄存器		偏移量

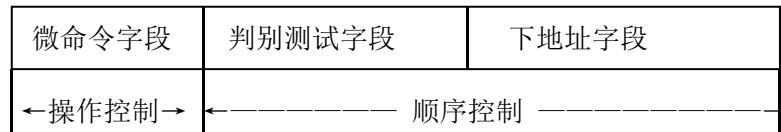
解：(1) 操作码字段为 6 位，可指定 $2^6 = 64$ 种操作，即 64 条指令。

(2) 单字长 (32) 二地址指令。

(3) 一个操作数在源寄存器（共 16 个），另一个操作数在存储器中（由变址寄存器内容 + 偏移量决定），所以是 RS 型指令。

这种指令结构用于访问存储器。

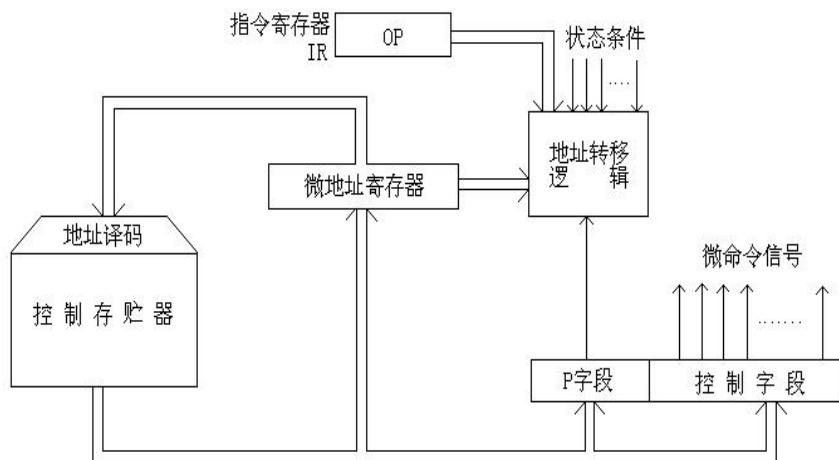
2. (10 分) 已知某机采用微程序控制方式，其控制存储器容量为 512×48 (位)，微程序在整个控制存储器中实现转移，可控制的条件共 4 个，微指令采用水平型格式，后继微指令地址采用断定方式，如图所示：



- (1) 微指令中的三个字段分别应多少位？
- (2) 画出对应这种微指令格式的微程序控制器逻辑框图。

解：(1) 假设判别测试字段中每一位为一个判别标志，那么由于有 4 个转移条件，故该字段为 4 位（如采用字段译码只需 3 位），下地址字段为 9 位，因此控制存储器容量为 512 个单元，微命令字段是 $(48 - 4 - 9) = 35$ 位。

(2) 对应上述微指令格式的微程序控制器逻辑框图如 B1.2 如下：其中微地址寄存器对应下地址字段，P 字段即为判别测试字段，控制字段即为微命令字段，后两部分组成微指令寄存器。地址转移逻辑的输入是指令寄存器 OP 码，各状态条件以及判别测试字段所给的判别标志（某一位为 1），转移逻辑输出修改微地址寄存器的适当位数，从而实现微程序的分支转移。



浙江农林大学继续教育学院试卷（二）

课程名称: 计算机组成原理 层次:本科 学习形式:函授 考试方式: 开卷

注意事项：1、本试卷满分 100 分。

2、考试时间120分钟。

题号	一	二	三	四	五	得分
得分						
评阅人						

一、判断题（每小题 1 分，共 10 分；判断命题，正确的打√，错误的打×，填在下列表格内，否则无效。）

本题型暂时没有复习资料。

二、单项选择题（每小题 2 分，共 40 分；在四个备选答案中，选出一个正确答案，并将正确答案填在下列表格内，否则无效。）

题号	1	2	3	4	5	6	7	8	9	10
选项	D	C	A	D	A	C	A	C	D	C
题号	11	12	13	14	15	16	17	18	19	20
选项	B	C	D	C	D	B	C	A	C	A

- 六七十年代，在美国的_____州，出现了一个地名叫硅谷。该地主要工业是_____它也是_____的发源地。
 - A.马萨诸塞，硅矿产地，通用计算机
 - B.加利福尼亚，微电子工业，通用计算机
 - C.加利福尼亚，硅生产基地，小型计算机和微处理机
 - D.加利福尼亚，微电子工业，微处理机
 - 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是_____。
 - A.阶符与数符相同为规格化数

- B. 阶符与数符相异为规格化数
C. 数符与尾数小数点后第一位数字相异为规格化数
D. 数符与尾数小数点后第一位数字相同为规格化数
3. 定点 16 位字长的字，采用 2 的补码形式表示时，一个字所能表示的整数范围是_____。
A. $-2^{15} \sim + (2^{15}-1)$ B. $-(2^{15}-1) \sim + (2^{15}-1)$
C. $-(2^{15}+1) \sim +2^{15}$ D. $-2^{15} \sim +2^{15}$
4. 某 SRAM 芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线和数据线数目为_____。
A. 64, 16 B. 16, 64 C. 64, 8 D. 16, 16。
5. 交叉存贮器实质上是一种_____存贮器，它能_____执行_____独立的读写操作。
A. 模块式，并行，多个 B. 模块式串行，多个
C. 整体式，并行，一个 D. 整体式，串行，多个
6. 用某个寄存器中操作数的寻址方式称为_____寻址。
A. 直接 B. 间接 C. 寄存器直接 D. 寄存器间接
7. 流水 CPU 是由一系列叫做“段”的处理线路所组成，和具有 m 个并行部件的 CPU 相比，一个 m 段流水 CPU_____。
A. 具备同等水平的吞吐能力 B. 不具备同等水平的吞吐能力
C. 吞吐能力大于前者的吞吐能力 D. 吞吐能力小于前者的吞吐能力
8. 描述 PCI 总线中基本概念不正确的句子是_____。
A. HOST 总线不仅连接主存，还可以连接多个 CPU
B. PCI 总线体系中有三种桥，它们都是 PCI 设备
C. 以桥连接实现的 PCI 总线结构不允许许多条总线并行工作
D. 桥的作用可使所有的存取都按 CPU 的需要出现在总线上
9. 计算机的外围设备是指_____。
A. 输入/输出设备 B. 外存储器
C. 远程通信设备 D. 除了 CPU 和内存以外的其它设备

10. 中断向量地址是：_____。
- A.子程序入口地址 B.中断服务例行程序入口地址
C.中断服务例行程序入口地址的指示器 D.中断返回地址
11. 没有外存贮器的计算机监控程序可以存放在_____。
- A. RAM B. ROM C. RAM 和 ROM D. CPU
12. 如果浮点数尾数用补码表示，则判断下列哪一项的运算结果是规格化数_____。
- A. 1.11000 B. 0.01110 C. 1.00010 D. 0.01010
13. 在定点二进制运算其中，减法运算一般通过_____来实现
- A.原码运算的二进制减法器 B.补码运算的二进制减法器
C.补码运算的十进制加法器 D.补码运算的二进制加法器
14. 某计算机字长 32 位，其存储容量为 4 MB，若按半字编址，它的寻址范围是
_____。
- A. 0——4MB B. 0——2MB C. 0——2M D. 0——1MB
15. 在虚拟存贮器中，当程序正在执行时，由_____完成地址映射。
- A.程序员 B.编译器 C. 装入程序 D.操作系统
16. 指令系统中采用不同寻址方式的主要目的是_____。
- A.实现实存贮程序和程序控制
B.缩短指令长度，扩大寻址空间，提高编程灵活性
C.可以直接访问外存
D.提供扩展操作码的可能并降低指令译码难度
17. 同步控制是_____。
- A.只适用于 CPU 控制的方式 B.只适用于外围设备控制的方式
C.由统一时序信号控制的方式 D.所有指令执行时间都相同的方式
18. 以下描述中基本概念不正确的句子是_____。
- A. PCI 总线不是层次总线
B. PCI 总线采用同步时序协议和分布仲裁策略
C. FUTURE BUS⁺ 总线能支持 64 位地址
D. FUTURE BUS⁺ 总线适合于高成本的较大规模计算机系统

19. 用于笔记本电脑的外存储器一般是_____。
 A.软磁盘 B.硬磁盘 C.固态盘 D.光盘
20. 周期挪用方式常用于_____方式的输入/输出中。
 A.DMA B.中断 C.程序传送 D.通道

三、填空题（每空 1 分，共 15 分；把答案填在划线中。）

本题型暂时没有复习资料。

四、计算题（每小题 10 分，共 20 分）

$$1. \text{求证: } [X]_{\text{补}} + [Y]_{\text{补}} = [X + Y]_{\text{补}} \pmod{2}$$

解: (1) $x > 0, y > 0$, 则 $x + y > 0$

$$[X]_{\text{补}} + [Y]_{\text{补}} = x + y = [X + Y]_{\text{补}} \pmod{2}$$

(2) $x > 0, y < 0$, 则 $x + y > 0$ 或 $x + y < 0$

因为 $[X]_{\text{补}} = x$, $[Y]_{\text{补}} = 2 + y$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = x + 2 + y = 2 + (x + y)$$

当 $x + y > 0$ 时, $2 + (x + y) > 2$, 进位 2 必丢失, 又因 $(x + y) > 0$, 所以

$$[X]_{\text{补}} + [Y]_{\text{补}} = x + y = [X + Y]_{\text{补}} \pmod{2}$$

当 $x + y < 0$ 时, $2 + (x + y) < 2$, 又因 $(x + y) < 0$, 所以

$$[X]_{\text{补}} + [Y]_{\text{补}} = x + y = [X + Y]_{\text{补}} \pmod{2}$$

(3) $x < 0, y > 0$, 则 $x + y > 0$ 或 $x + y < 0$

这种情况和第 2 种情况一样, 把 x 和 y 的位置对调即得证。

(4) $x < 0, y < 0$, 则 $x + y < 0$

因为 $[X]_{\text{补}} = 2 + x$, $[Y]_{\text{补}} = 2 + y$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = 2 + x + 2 + y = 2 + (2 + x + y)$$

上式第二部分一定是小于 2 大于 1 的数, 进位 2 必丢失, 又因 $(x + y) < 0$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = 2 + (x + y) = [X + Y]_{\text{补}} \pmod{2}$$

2. 某计算机字长 32 位，有 16 个通用寄存器，主存容量为 1M 字，采用单字长二地址指令，共有 64 条指令，试采用四种寻址方式（寄存器、直接、变址、相对）设计指令格式。

解：64 条指令需占用操作码字段（OP）6 位，源寄存器和目标寄存器各 4 位，寻址模式（X）2 位，形式地址（D）16 位，其指令格式如下：

31	26 25	22 21	18 17	16 15	0
	OP	目标	源	X	D

寻址模式定义如下：

X=0 0 寄存器寻址 操作数由源寄存器号和目标寄存器号指定

X=0 1 直接寻址 有效地址 $E = (D)$

X=1 0 变址寻址 有效地址 $E = (Rx) + D$

X=1 1 相对寻址 有效地址 $E = (PC) + D$

其中 Rx 为变址寄存器（10 位），PC 为程序计数器（20 位），位移量 D 可正可负。

该指令格式可以实现 RR 型，RS 型寻址功能。

五、综合分析题（共 2 小题，共 15 分）

1. (5 分) 如图 B2.1 表示使用快表（页表）的虚实地址转换条件，快表存放在相联存贮器中，其中容量为 8 个存贮单元。问：

- (1) 当 CPU 按虚拟地址 1 去访问主存时，主存的实地址码是多少？
- (2) 当 CPU 按虚拟地址 2 去访问主存时，主存的实地址码是多少？
- (3) 当 CPU 按虚拟地址 3 去访问主存时，主存的实地址码是多少？

页号	该页在主存中的起始地址	虚拟地址	页号	页内地址
33	42000	1	15	0324
25	38000			
7	96000	2	7	0128
6	60000			
4	40000	3	48	0516
15	80000			
5	50000			
30	70000			

图 B2.1

解：(1) 用虚拟地址为 1 的页号 15 作为快表检索项，查得页号为 15 的页在主存中的起始地址为 80000，故将 80000 与虚拟地址中的页内地址码 0324 相加，求得主存实地址码为 80324。

- (2) 主存实地址码 = $96000 + 0128 = 96128$
- (3) 虚拟地址 3 的页号为 48，当用 48 作检索项在快表中检索时，没有检索到页号为 48 的页面，此时操作系统暂停用户作业程序的执行，转去执行查页表程序。如该页面在主存中，则将该页号及该页在主存中的起始地址写入主存；如该页面不存在，则操作系统要将该页面从外存调入主存，然后将页号及其在主存中的起始地址写入快表。

2. (10 分) 假设某计算机的运算器框图如图 B2.2 所示, 其中 ALU 为 16 位的加法器, S_A 、 S_B 为 16 位暂存器, 4 个通用寄存器由 D 触发器组成, Q 端输出, 其读写控制如下表所示:

读控制				写控制			
R ₀	RA ₀	RA ₁	选择	W	WA ₀	WA ₁	选择
1	0	0	R ₀	1	0	0	R ₀
1	0	1	R ₁	1	0	1	R ₁
1	1	0	R ₂	1	1	0	R ₂
1	1	1	R ₃	1	1	1	R ₃
0	x	x	不读出	0	x	x	不写入

要求: (1) 设计微指令格式。

(2) 画出 ADD, SUB 两条指令微程序流程图。

1	2	1	2	1	1	1	1	1	1	P 字段	下址 字段
R	RA ₀ RA ₁	w	WA ₀ WA ₁	LDS _A	LDS _B	S _B >ALU	$\overline{S_B}$ >ALU	CLR	~		

各字段意义如下:

R— 通用寄存器读命令

W—通用寄存器写命令

.RA0RA1—读 R0—R3 的选择控制。

WA0WA1—写 R0—R3 的选择控制。

LDSA—打入 SA 的控制信号。

LDSB—打入 SB 的控制信号。

SB->ALU—打开非反向三态门的控制信号。

SB->ALU—打开反向三态门的控制信号, 并使加法器最低位加 1。

CLR—暂存器 SB 清零信号。

~ —— 一段微程序结束, 转入取机器指令的控制信号。

浙江农林大学继续教育学院试卷（三）

课程名称：计算机组成原理 层次：本科 学习形式：函授 考试方式：开卷

注意事项：1、本试卷满分 100 分。
2、考试时间 120 分钟。

题号	一	二	三	四	五	得分
得分						
评阅人						

一、判断题（每小题 1 分，共 10 分；判断命题，正确的打√，错误的打×，填在下列表格内，否则无效。）

本题型暂时没有复习资料。

二、单项选择题（每小题 2 分，共 40 分；在四个备选答案中，选出一个正确答案，并将正确答案填在下列表格内，否则无效。）

题号	1	2	3	4	5	6	7	8	9	10
选项	B	B	D	C	A	C	C	D	B	B
题号	11	12	13	14	15	16	17	18	19	20
选项	B	D	C	B	A	C	A	D	A	A

1. 冯·诺依曼机工作的基本方式的特点是_____。
 - A.多指令流单数据流
 - B.按地址访问并顺序执行指令
 - C.堆栈操作
 - D.存贮器按内容选择地址
2. 在机器数_____中，零的表示形式是唯一的。
 - A.原码
 - B.补码
 - C.真值
 - D.反码
3. 在定点二进制运算器中，减法运算一般通过_____来实现。
 - A.原码运算的二进制减法器
 - B.补码运算的二进制减法器
 - C.原码运算的十进制加法器
 - D.补码运算的二进制加法器
4. 某计算机字长 32 位，其存储容量为 4MB，若按半字编址，它的寻址范围是_____。

A.4MB B.2MB C.2M D.1M

5. 主存贮器和 CPU 之间增加 cache 的目的是_____。

- A.解决 CPU 和主存之间的速度匹配问题
- B.扩大主存贮器容量
- C.扩大 CPU 中通用寄存器的数量
- D.既扩大主存贮器容量，又扩大 CPU 中通用寄存器的数量

6. 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用_____。

- A.堆栈寻址方式
- B.立即寻址方式
- C.隐含寻址方式
- D.间接寻址方式

7. 同步控制是_____。

- A.只适用于 CPU 控制的方式
- B.只适用于外围设备控制的方式
- C.由统一时序信号控制的方式
- D.所有指令执行时间都相同的方式

8. 描述 PCI 总线中基本概念不正确的句子是_____。

- A.PCI 总线是一个与处理器无关的高速外围总线
- B.PCI 总线的基本传输机制是猝发式传送
- C.PCI 设备一定是从设备
- D.系统中只允许有一条 PCI 总线

9. CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量为_____。

- A.512KB B.1MB C.256KB D.2MB

10. 为了便于实现多级中断，保存现场信息最有效的办法是采用_____。

- A.通用寄存器
- B.堆栈
- C.存储器
- D.外存

11. 计算机硬件能直接执行的只有_____。

- A.符号语言
- B.机器语言
- C.汇编语言
- D.机器语言和汇编语言

12. 假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校验的字符码是_____。

- A.11001011 B.11010110 C.11000001 D.1100100
13. 运算器的主要功能是进行_____。
A.逻辑运算 B.算术运算 C.逻辑运算与算术运算 D.初等函数的运算
14. 某计算机字长 16 位，它的存贮容量是 64K，若按字编址，那么它的寻址范围是_____。
A.64K B.32K C.64KB D.32KB
15. 主存贮器和 CPU 之间增加 cache 的目的是_____。
A.解决 CPU 和主存之间的速度匹配问题 B.扩大主存贮器的容量
C.扩大 CPU 中通用寄存器的数量 D.扩大外存的容量
16. 用于对某个寄存器中操作数的寻址方式称为_____寻址。
A.直接 B.间接 C.寄存器直接 D.寄存器间接
17. 异步控制常用于_____作为其主要控制方式。
A.在单总线结构计算机中访问主存与外围设备时
B.微型机的 CPU 中
C 硬布线控制器中
D.微程序控制器中
18. 系统总线中地址线的功能是_____。
A.选择主存单元地址 B.选择进行信息传输的设备
C.选择外存地址 D.指定主存和 I/O 设备接口电路的地址
19. 在微型机系统中，外围设备通过_____与主板的系统总线相连接。
A.适配器 B.设备控制器 C.计数器 D.寄存器
20. 下列不是发生中断请求的条件是_____。
A.一条指令执行结束 B.一次 I/O 操作结束
C.机器内部发生故障 D.一次 DMA 操作结束

三、填空题（每空 1 分，共 15 分；把答案填在划线中。）

本题型暂时没有复习资料。

四、计算题（每小题 10 分，共 20 分）

1. 已知 $x = -0.01111$, $y = +0.11001$,

求 $[x]_{\text{补}}$, $[-x]_{\text{补}}$, $[y]_{\text{补}}$, $[-y]_{\text{补}}$, $x+y = ?$, $x-y = ?$

解: $[x]_{\text{原}} = 1.01111$ $[x]_{\text{补}} = 1.10001$ 所以 : $[-x]_{\text{补}} = 0.01111$

$[y]_{\text{原}} = 0.11001$ $[y]_{\text{补}} = 0.11001$ 所以 : $[-y]_{\text{补}} = 1.00111$

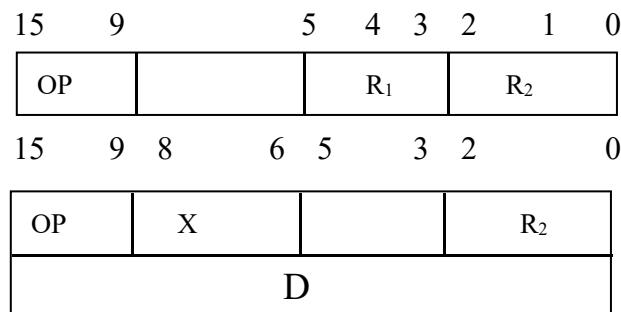
[x] _补	11.10001	[x] _补	11.10001		
+	[y] _补	00.11001	+	[-y] _补	11.00111
[x+y] _补			[x-y] _补		
00.01010			10.11000		

所以: $x+y = +0.01010$

因为符号位相异, 结果发生溢出

2. 假设机器字长 16 位，主存容量为 128K 字节，指令字长度为 16 位或 32 位，共有 128 条指令，设计计算机指令格式，要求有直接、立即数、相对、基值、间接、变址六种寻址方式。

解：由已知条件，机器字长 16 位，主存容量 $128KB / 16 = 64K$ 字节，因此 MAR = 16 位，共 128 条指令，故 OP 字段占 7 位。采用单字长和双字长两种指令格式，其中单字长指令用于算术逻辑和 I/O 类指令，双字长用于访问主存的指令。



寻址方式由寻址模式 X 定义如下：

X = 000 直接寻址 E = D (64K)

X = 001 立即数 D = 操作数

X = 010 相对寻址 E = PC + D PC = 16 位

X = 011 基值寻址 E = R_b + D , R_b = 16 位

X = 100 间接寻址 E = (D)

X = 101 变址寻址 E = RX + D , RX = 10 位

五、综合分析题（共 2 小题，共 15 分）

1. (5 分) 某机字长 32 位，常规设计的存储空间 $\leq 32M$ ，若将存储空间扩至 256M，请提出一种可能方案。

解：可采用多体交叉存取方案，即将主存分成 8 个相互独立、容量相同的模块 $M_0, M_1, M_2, \dots, M_7$ ，每个模块 $32M \times 32$ 位。它各自具备一套地址寄存器、数据缓冲寄存器，各自以同等的方式与 CPU 传递信息，其组成结构如图 B3. 3：

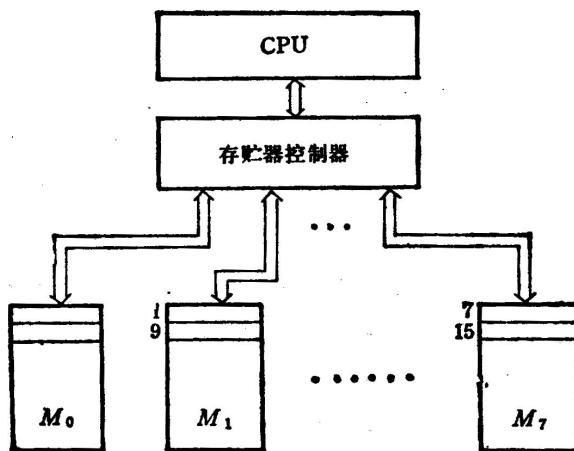


图 B3. 3

CPU 访问 8 个存储模块，可采用两种方式：一种是在一个存取周期内，同时访问 8 个存储模块，由存储控制器控制它们分时使用总线进行信息传递。另一种方式是：在存取周期内分时访问每个体，即经过 $1 / 8$ 存取周期就访问一个模块。这样，对每个模块而言，从 CPU 给出访存操作命令直到读出信息，仍然是一个存取周期时间。而对 CPU 来说，它可以在一个存取周期内连续访问 8 个存储体，各体的读写过程将重叠进行。

2. (10 分)图 B3.1 所示的处理机逻辑框图中，有两条独立的总线和两个独立的存储器。已知指令存贮器 IM 最大容量为 16384 字（字长 18 位），数据存贮器 DM 最大容量是 65536 字（字长 16 位）。各寄存器均有“打入”（Rin）和“送出”（Rout）控制命令，但图中未标出。

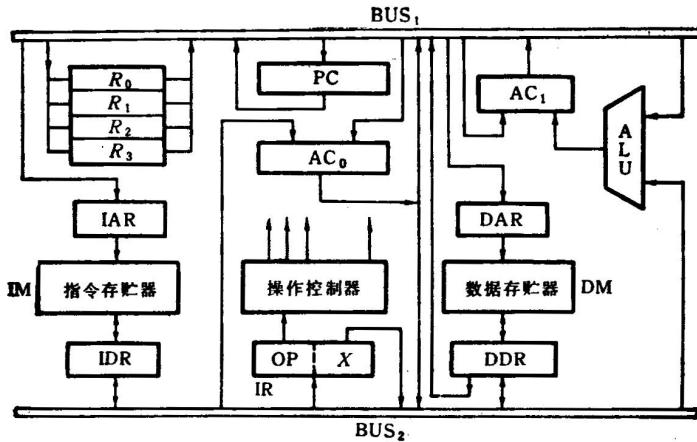
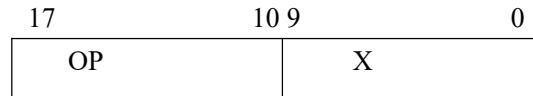


图 B3.1

设处理机指令格式为：



加法指令可写为“ADD X (R_i)”。其功能是 $(AC_0) + ((R_i) + X) \rightarrow AC_1$ ，其中 $((R_i) + X)$ 部分通过寻址方式指向数据存贮器，现取 R_i 为 R₁。试画出 ADD 指令从取指令开始到执行结束的操作序列图，写明基本操作步骤和相应的微操作控制信号。

解：加法指令“ADD X (R_i)”是一条隐含指令，其中一个操作数来自 AC₀，另一个操作数在数据存贮器中，地址由通用寄存器的内容 (R_i) 加上指令格式中的 X 量值决定，可认为这是一种变址寻址。因此，指令周期的操作流程图如图 B3.4，相应的微操作控制信号列在框图外。

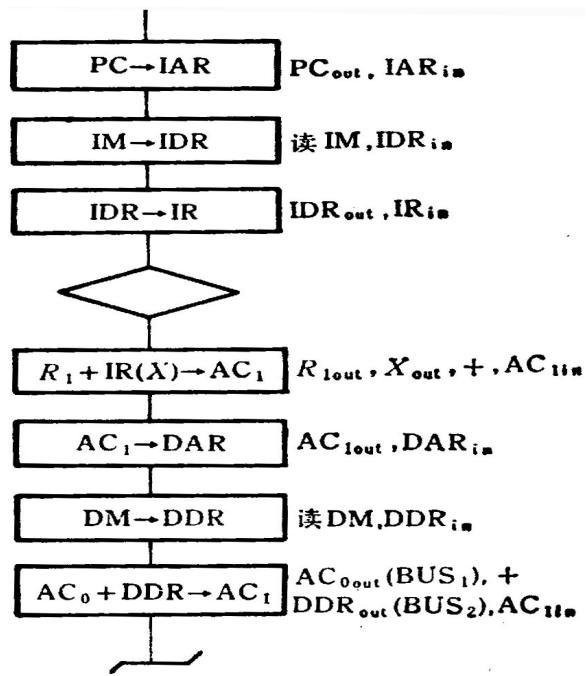


图 B3.4

浙江农林大学继续教育学院试卷（四）

课程名称: 计算机组成原理 层次:本科学习形式:函授 考试方式: 开卷

注意事项: 1、本试卷满分 100 分。

2、考试时间 120 分钟。

学号:

题
答

姓名:

不
要
内
容

专业班级:

订
装

题号	一	二	三	四	五	得分
得分						
评阅人						

一、判断题（每小题 1 分，共 10 分；判断命题，正确的打√，错误的打×，填在下列表格内，否则无效。）

本题型暂时没有复习资料。

二、单项选择题（每小题 2 分，共 40 分；在四个备选答案中，选出一个正确答案，并将正确答案填在下列表格内，否则无效。）

题号	1	2	3	4	5	6	7	8	9	10
选项	D	A	A	B	B	B	B	C	A	C
题号	11	12	13	14	15	16	17	18	19	20
选项	C	C	B	B	C	B	B	C	B	D

- 现代计算机内部一般采用二进制形式，我国历史上的_____即反映了二值逻辑的思想，它最早记载在_____上，距今已有约_____千年。
A. 八卦图、论衡、二 B. 算筹、周髀算经、二
C. 算筹、九章算术、一 D. 八卦图、周易、三
- 8位定点字长的字，采用2的补码表示时，一个字所能表示的整数范围是_____。
A. -128 ~ +127 B. -127 ~ +127 C. -129 ~ +128 D. -128 ~ +128
- 下面浮点运算器的描述中正确的句子是：_____。
A. 浮点运算器可用阶码部件和尾数部件实现

- B. 阶码部件可实现加、减、乘、除四种运算
C. 阶码部件只进行阶码相加和比较操作
D. 尾数部件只进行乘法和减法运算
4. 某计算机字长 16 位，它的存贮容量是 64KB，若按字编址，那么它的寻址范围是_____。
A. 64K B. 32K C. 64KB D. 32 KB
5. 双端口存储器在_____情况下会发生读/写冲突。
A. 左端口与右端口的地址码不同
B. 左端口与右端口的地址码相同
C. 左端口与右端口的数据码不同
D. 左端口与右端口的数据码相同
6. 寄存器间接寻址方式中，操作数处在_____。
A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈
7. 微程序控制器中，机器指令与微指令的关系是_____。
A. 每一条机器指令由一条微指令来执行
B. 每一条机器指令由一段微指令编写的微程序来解释执行
C. 每一条机器指令组成的程序可由一条微指令来执行
D. 一条微指令由若干条机器指令组成
8. 描述 PCI 总线中基本概念正确的句子是_____。
A. PCI 总线是一个与处理器无关的高速外围总线
B. PCI 总线的基本传输机制是猝发式传送
C. PCI 设备一定是主设备
D. 系统中只允许有一条 PCI 总线
9. 一张 3.5 寸软盘的存储容量为_____MB，每个扇区存储的固定数据是_____。
A. 1.44MB, 512B B. 1MB, 1024B C. 2MB, 256B D. 1.44MB, 512KB
10. 发生中断请求的条件之一是_____。
A. 一条指令执行结束 B. 一次 I/O 操作结束
C. 机器内部发生故障 D. 一次 DMA 操作结束

11. 某寄存器中的值有时是地址，因此只有计算机的_____才能识别它。
A.译码器 B.判别程序 C.指令 D.时序信号
12. 若 $[X]_{\text{补}}=11010011$ ，则 X 的十进制数真值是_____。
A.71 B.48 C.65 D.63
13. 按其数据流的传送过程和控制节拍来看，陈列乘法器可认为是_____。
A.全串行运算的乘法器 B.全并行运算的乘法器
C.串-并行运算的乘法器 D.并-串行运算的乘法器
14. 存贮单元是指_____。
A.存放一个二进制信息位的存贮元 B.存放一个机器字的所有存贮元集合
C.存放一个字节的所有存贮元集合 D.存放两个字节的所有存贮元集合
15. 相联存贮器是按_____进行寻址的存贮器。
A.地址指定方式 B.堆栈存取方式 C.内容指定方式 D.地址指定与堆栈
16. 寄存器间接寻址方式中，操作数处在_____。
A.通用寄存器 B.主存单元 C.程序计数器 D.堆栈
17. 下面描述的 RISC 机器基本概念中正确的句子是_____。
A.RISC 机器不一定是流水 CPU B.RISC 机器一定是流水 CPU
C.RISC 机器有复杂的指令系统 D.CPU 配置很少的通用寄存器
18. 描述当代流行总线结构中基本概念不正确的句子是_____。
A.当代流行总线的结构是标准总线
B.当代总线结构中，CPU 和它私有的 cache 一起作为一个模块与总线相连
C.系统中只允许有一个这样的 CPU 模块
D.没有标准
19. CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量是_____。
A.512KB B.1MB C.256KB D.2MB
20. 一台计算机对 n 个数据源进行分时采集，送入主存，然后分时处理。采集数据时，最好的方案是使用_____。
A.堆栈缓冲区 B.一个指针的缓冲区

C.两个指针的单缓冲区

D.n个指针的n个缓冲区

三、填空题（每空1分，共15分；把答案填在划线中。）

本题型暂时没有复习资料。

四、计算题（每小题10分，共20分）

1. 已知 $X = -0.01111$, $Y = +0.11001$, 求 $[X]_{\text{补}}$, $[-X]_{\text{补}}$, $[Y]_{\text{补}}$, $[-Y]_{\text{补}}$, $X+Y=?$, $X-Y=?$

解: $[X]_{\text{原}}=1.01111 \quad [X]_{\text{补}}=1.10001 \quad \therefore [-X]_{\text{补}}=0.01111$

$$[Y]_{\text{原}}=0.11001 \quad [Y]_{\text{补}}=0.11001 \quad \therefore [-Y]_{\text{补}}=1.00111$$

$$\begin{array}{r} [X]_{\text{补}} \quad 11.10001 \\ + \quad [Y]_{\text{补}} \quad 00.11001 \\ \hline [X+Y]_{\text{补}} \quad 00.01010 \end{array}$$

$$\therefore X+Y=+0.01010$$

$$\begin{array}{r} [X]_{\text{补}} \quad 11.10001 \\ + \quad [-Y]_{\text{补}} \quad 11.00111 \\ \hline [X-Y]_{\text{补}} \quad 10.11000 \end{array}$$

因为符号位相异，所以结果发生溢出。

2. 以知 cache 命中率 $H=0.98$, 主存比 cache 慢 4 倍, 以知主存存取周期为 200ns, 求 cache/主存的效率和平均访问时间。

解: $R=T_m/T_c=4$; $T_c=T_m/4=50\text{ns}$
 $E=1/[R+(1-R)H]=1/[4+(1-4)\times 0.98]=0.94$
 $T_a=T_c/E=T_c\times [4-3\times 0.98]=50\times 1.06=53\text{ns}$ 。

五、综合分析题（共 2 小题，共 15 分）

1. (5 分) 某计算机有 8 条微指令 I_1 — I_8 ，每条微指令所包含的微命令控制信号见下表所示， a — j 分别对应 10 种不同性质的微命令信号。假设一条微指令的控制字段仅限 8 位，请安排微指令的控制字段格式。

微指令	a	b	c	d	e	f	g	h	i	j
I_1	✓	✓	✓	✓	✓					
I_2	✓			✓		✓	✓			
I_3		✓						✓		
I_4			✓							
I_5			✓		✓		✓			
I_6	✓							✓		
I_7		✓	✓	✓				✓		
I_8	✓	✓						✓		✓

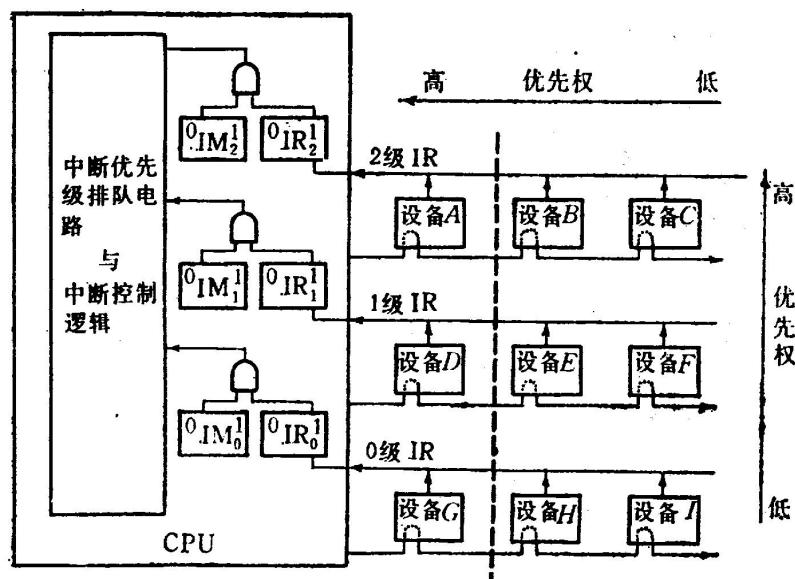
解：为了压缩指令字的长度，必须设法把一个微指令周期中的互斥性微命令信号组合在一个小组中，进行分组译码。

经分析， (e, f, h) 和 (b, i, j) 可分别组成两个小组或两个字段，然后进行译码，可得六个微命令信号，剩下的 a, c, d, g 四个微命令信号可进行直接控制，其整个控制字段组成如下：

	01	e	01	b		
直接控制	10	f	10	i		
a c d g	11	h	11	j		
	×	×	×	×	×	×
4 位		2 位		2 位		

2. (10 分) 参见图, 这是一个二维中断系统, 请问:

- (1) 在中断情况下, CPU 和设备的优先级如何考虑? 请按降序排列各设备的中断优先级。
- (2) 若 CPU 现执行设备 B 的中断服务程序, IM_0, IM_1, IM_2 的状态是什么? 如果 CPU 的执行设备 D 的中断服务程序, IM_0, IM_1, IM_2 的状态又是什么?
- (3) 每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽? 如果不能, 采取什么方法可达到目的?
- (4) 若设备 C 一提出中断请求, CPU 立即进行响应, 如何调整才能满足此要求?



解:

- (1) 在中断情况下, CPU 的优先级最低。各设备优先级次序是:
A-B-C-D-E-F-G-H-I-CPU
 - (2) 执行设备 B 的中断服务程序时 $IM_0IM_1IM_2=111$; 执行设备 D 的中断服务程序时 $IM_0IM_1IM_2=011$ 。
 - (3) 每一级的 IM 标志不能对某优先级的个别设备进行单独屏蔽。可将接口中的 BI (中断允许) 标志清“0”, 它禁止设备发出中断请求。
- 要使 C 的中断请求及时得到响应, 可将 C 从第二级取出, 单独放在第三级上, 使第三级的优先级最高, 即令 $IM_3=0$ 即可。

浙江农林大学继续教育学院试卷（五）

课程名称: 计算机组成原理 层次:本科学习形式:函授 考试方式: 开卷

注意事项: 1、本试卷满分 100 分。
2、考试时间 120 分钟。

题号	一	二	三	四	五	得分
得分						
评阅人						

一、判断题（每小题 1 分，共 10 分；判断命题，正确的打√，错误的打×，填在下列表格内，否则无效。）

本题型暂时没有复习资料。

二、单项选择题（每小题 2 分，共 40 分；在四个备选答案中，选出一个正确答案，并将正确答案填在下列表格内，否则无效。）

题号	1	2	3	4	5	6	7	8	9	10
选项	B	D	B	B	B	D	A	A	D	D
题号	11	12	13	14	15	16	17	18	19	20
选项	B	B	B	D	C	C	D	A	C	B

1. 对计算机的产生有重要影响的是: _____。

- A.牛顿、维纳、图灵
- B.莱布尼兹、布尔、图灵
- C.巴贝奇、维纳、麦克斯韦
- D.莱布尼兹、布尔、克雷

2. 假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校校验的字符码是
_____。

- A.11001011
- B.11010110
- C.11000001
- D.11001001

学号:

姓名:

专业班级:

学院:

题
答
题

不
要
内
容

订
装
线

3. 按其数据流的传递过程和控制节拍来看，阵列乘法器可认为是_____。
A.全串行运算的乘法器
B.全并行运算的乘法器
C.串一并行运算的乘法器
D.并一串型运算的乘法器
4. 某计算机字长 32 位，其存储容量为 16MB，若按双字编址，它的寻址范围是_____。
A.16MB B.2M C.8MB D.16M
5. 双端口存储器在_____情况下会发生读 / 写冲突。
A.左端口与右端口的地址码不同
B.左端口与右端口的地址码相同
C.左端口与右端口的数据码相同
D.左端口与右端口的数据码不同
6. 程序控制类指令的功能是_____。
A.进行算术运算和逻辑运算 B.进行主存与 CPU 之间的数据传送
C.进行 CPU 和 I/O 设备之间的数据传送 D.改变程序执行顺序
7. 由于 CPU 内部的操作速度较快，而 CPU 访问一次主存所花的时间较长，因此机器周期通常用_____来规定。
A.主存中读取一个指令字的最短时间 B.主存中读取一个数据字的最长时间
C.主存中写入一个数据字的平均时间 D.主存中读取一个数据字的平均时间
8. 系统总线中控制线的功能是_____。
A.提供主存、I/O 接口设备的控制信号响应信号
B.提供数据信息
C.提供时序信号
D.提供主存、I/O 接口设备的响应信号
9. 具有自同步能力的记录方式是_____。
A.NRZ₀ B.NRZ₁ C.PM₁ D.MFM
10. IEEE1394 的高速特性适合于新型高速硬盘和多媒体数据传送，下列不是

IEEE1394 的数据传输率是_____。

- A.100 兆位 / 秒 B.200 兆位 / 秒 C.400 兆位 / 秒 D.300 兆位 / 秒

11. 下列数中最大的数为_____。

- A. $(10010101)_2$ B. $(227)_8$ C. $(96)_8$ D. $(143)_5$

12. 设 32 位浮点数中，符号位为 1 位，阶码为 8 位，尾数位为 23 位，则它所能表示的最大规格化正数为_____。

- A. $+(2 - 2^{-23}) \times 2^{+127}$ B. $[1 + (1 - 2^{-23})] \times 2^{+127}$
C. $+(2 - 2^{23}) \times 2^{+255}$ D. $2^{+127} - 2^{23}$

13. 四片 74181ALU 和一片 74182CLA 器件相配合，具有如下进位传送功能_____。

- A. 行波进位 B. 组内先行进位，组间先行进位
C. 组内先行进位，组间行波进位 D. 组内行波进位，组间先行进位

14. 某计算机字长 32 位，其存储容量为 8MB，若按字编址，它的寻址范围是_____。

- A. 1M B. 4MB C. 4M D. 2MB

15. 以下四种类型的半导体存储器中，以传输同样多的字为比较条件，则读出数据传输率最高的是_____。

- A.DRAM B.SRAM C.闪速存储器 D.EPROM

16. 位操作类指令的功能是_____。

- A. 对 CPU 内部通用寄存器或主存某一单元任一位进行状态检测（0 或 1）
B. 对 CPU 内部通用寄存器或主存某一单元任一位进行状态强置（0 或 1）
C. 对 CPU 内部通用寄存器或主存某一单元任一位进行状态检测或强置
D. 进行移位操作

17. 操作控制器的功能是_____。

- A. 产生时序信号
B. 从主存取出一条指令
C. 完成指令操作的译码
D. 从主存取出指令，完成指令操作码译码，并产生有关的操作控制信号，以解释执行该指令

18. 采用串行接口进行七位 ASCII 码传送，带有一位奇偶校验位为 1 位起始位和 1

位停止位，当波特率为 9600 波特时，字符传送速率为_____。

- A.960 B.873 C.1371 D.480

19. 3.5 英寸软盘记录方式采用_____。

- A.单面双密度 B.双面双密度 C.双面高密度 D.双面单密度

20. 通道对 CPU 的请求形式是_____。

- A.自陷 B.中断 C.通道命令 D.跳转指令

三、填空题（每空 1 分，共 15 分；把答案填在划线中。）

本题型暂时没有复习资料。

四、计算题（每小题 10 分，共 20 分）

1. CPU 执行一段程序时，cache 完成存取的次数为 3800 次，主存完成存取的次数为 200 次，已知 cache 存取周期为 50ns, 主存为 250ns, 求 cache / 主存系统的效率和平均访问时间。

解：命中率 $H = Ne / (NC + Nm) = 3800 / (3800 + 200) = 0.95$

主存慢于 cache 的倍率： $r = tm / tc = 250ns / 50ns = 5$

访问效率： $e = 1 / [r + (1 - r)H] = 1 / [5 + (1 - 5) \times 0.95] = 83.3\%$

平均访问时间： $ta = tc / e = 50ns / 0.833 = 60ns$

2. 某加法器进位链小组信号为 $C_4C_3C_2C_1$ ，低位来的信号为 C_0 ，请分别按下述两种方式写出 $C_4C_3C_2C_1$ 的逻辑表达式。

(1) 串行进位方式

(2) 并行进位方式

解：(1) 串行进位方式：

$$C_1 = G_1 + P_1 C_0$$

$$\text{其中: } G_1 = A_1 B_1, \quad P_1 = A_1 \oplus B_1$$

$$C_2 = G_2 + P_2 C_1$$

$$G_2 = A_2 B_2, \quad P_2 = A_2 \oplus B_2$$

$$C_3 = G_3 + P_3 C_2$$

$$G_3 = A_3 B_3, \quad P_3 = A_3 \oplus B_3$$

$$C_4 = G_4 + P_4 C_3$$

$$G_4 = A_4 B_4, \quad P_4 = A_4 \oplus B_4$$

(2) 并行进位方式：

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

其中 $G_1—G_4, P_1—P_4$ 表达式与串行进位方式相同。

五、综合分析题（共 2 小题，共 15 分）

1. (10 分) 图 B5.1 所示为存贮器的地址空间分布图和存贮器的地址译码电路，后者可在 A 组跨接端和 B 组跨接端之间分别进行接线。74LS139 是 2 : 4 译码器，使能端 G 接地表示译码器处于正常译码状态。

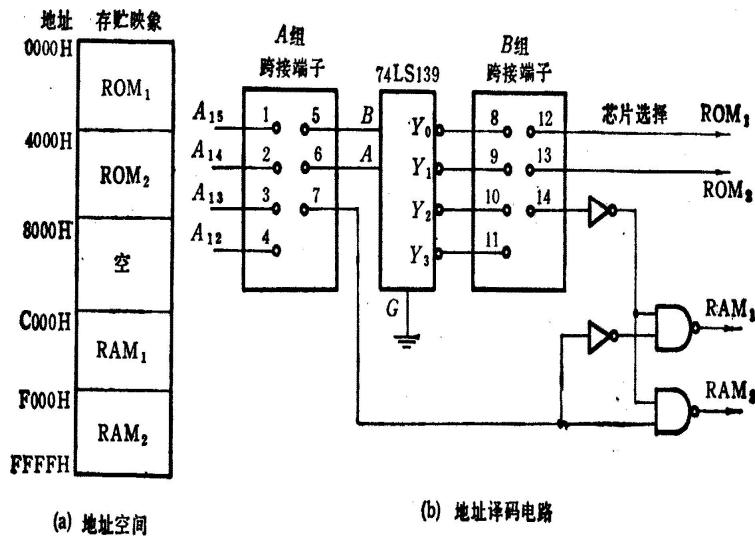


图 B5.1

要求：完成 A 组跨接端与 B 组跨接端内部的正确连接，以便使地址译码电路按图的要求正确寻址。

解：根据图 B5.1 中已知，ROM₁ 的空间地址为 0000H—3FFFH，ROM₂ 的地址空间地址为 4000H—7FFFH，RAM₁ 的地址空间为 C000H—DFFFH，RAM₂ 的地址空间为 E000H—FFFFH。

对应上述空间，地址码最高 4 位 A₁₅—A₁₂ 状态如下：

0000—0011	ROM ₁
0100—0111	ROM ₂
1100—1101	RAM ₁
1110—1111	RAM ₂

2 : 4 译码器对 A₁₅A₁₄ 两位进行译码，产生四路输出，其中：y₀ = 00 对应 ROM₁，y₁ = 01 对应 ROM₂，y₃ = 11 对应 RAM₁ 和 RAM₂。然后用 A₁₃ 区分是 RAM₁ (A₁₃ = 0) 还是 RAM₂ (A₁₃ = 1)，此处采用部分译码。

由此，两组端子的连接方法如下：

1—6， 2—5， 3—7， 8—12， 11—14， 9—13

2、(9分) 运算器结构如图B5.2所示, R₁, R₂, R₃ 是三个寄存器, A 和 B 是两个三选一的多路开关, 通路的选择由 AS₀, AS₁ 和 BS₀, BS₁ 端控制, 例如 BS₀BS₁ = 11 时, 选择 R₃, BS₀BS₁ = 01 时, 选择 R₁……, ALU 是算术 / 逻辑单元。S₁S₂ 为它的两个操作控制端。其功能如下:

S₁S₂ = 00 时, ALU 输出 = A

S₁S₂ = 01 时, ALU 输出 = A + B

S₁S₂ = 10 时, ALU 输出 = A - B

S₁S₂ = 11 时, ALU 输出 = A ⊕ B

请设计控制运算器通路的微指令格式。

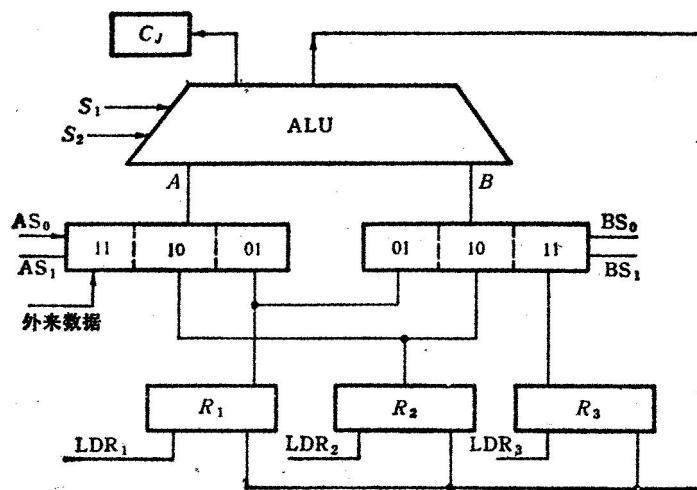


图 B5.2

解: 采用水平微指令格式, 且直接控制方式, 顺序控制字段假设 4 位, 其中一位判别测试位:

2 位	2 位	2 位	3 位	1 位	3 位
AS ₀ AS ₁	S ₁ S ₂	BS ₀ BS ₁	LDR ₁ , LDR ₂ , LDR ₃	P	μAR ₁ , μAR ₂ , μAR ₃
←————直接控制————→					←————顺序控制————→

当 P = 0 时, 直接用 μAR₁—μAR₃ 形成下一个微地址。

当 P = 1 时, 对 μAR₃ 进行修改后形成下一个微地址。

浙江农林大学继续教育学院试卷（六）

课程名称: 计算机组成原理 层次: 本科学习形式:函授 考试方式: 开卷

注意事项: 1、本试卷满分 100 分。
2、考试时间 120 分钟。

学号:

姓名:

专业班级:

学院:

题
答
题
号:

不
要
求
内
容:

订
装
装

题号	一	二	三	四	五	得分
得分						
评阅人						

一、判断题 (每小题 1 分, 共 10 分; 判断命题, 正确的打√, 错误的打×, 填在下列表格内, 否则无效。)

本题型暂时没有复习资料。

二、单项选择题 (每小题 2 分, 共 40 分; 在四个备选答案中, 选出一个正确答案, 并将正确答案填在下列表格内, 否则无效。)

题号	1	2	3	4	5	6	7	8	9	10
选项	D	B	B	C	D	B	C	A	A	B
题号	11	12	13	14	15	16	17	18	19	20
选项	B	A	C	A	B	B	D	C	A	B

1. 完整的计算机应包括_____。
A.运算器、存储器、控制器 B.外部设备和主机
C.主机和实用程序 D.配套的硬件设备和软件系统
2. 用 64 位字长(其中 1 位符号位)表示定点整数时,所能表示的数值范围是_____。
A.[0, $2^{64} - 1$] B.[0, $2^{63} - 1$] C.[0, $2^{62} - 1$] D.[0, 2^{63}]
3. 四片 74181ALU 和 1 片 74182CLA 器件相配合, 具有如下进位传递功能_____。
A.行波进位
B.组内先行进位, 组间先行进位
C.组内先行进位, 组间行波进位

- D.组内行波进位，组间先行进位
4. 某机字长 32 位，存储容量为 1MB，若按字编址，它的寻址范围是_____。
A.1M B.512KB. C.256K D.256KB
5. 某一 RAM 芯片，其容量为 512×8 位，包括电源和接地端，该芯片引出线的最小数目应是_____。
A.23 B.25 C.50 D.19
6. 堆栈寻址方式中，设 A 为通用寄存器，SP 为堆栈指示器，MSP 为 SP 指示器的栈顶单元，如果操作的动作是： $(A) \rightarrow MSP$ ， $(SP) - 1 \rightarrow SP$ ，那么出栈的动作应是_____。
A. $(M_{SP}) \rightarrow A$ ， $(SP) + 1 \rightarrow SP$
B. $(SP) + 1 \rightarrow SP$ ， $(M_{SP}) \rightarrow A$
C. $(SP) - 1 \rightarrow SP$ ， $(M_{SP}) \rightarrow A$
D. $(M_{SP}) \rightarrow A$ ， $(SP) - 1 \rightarrow SP$
7. 指令周期是指_____。
A. CPU 从主存取出一条指令的时间
B. CPU 执行一条指令的时间
C. CPU 从主存取出一条指令加上 CPU 执行这条指令的时间
D. 时钟周期时间
8. 在_____的微型计算机系统中，外设可和主存贮器单元统一编址，因此可以不使用 I/O 指令。
A. 单总线 B. 双总线 C. 三总线 D. 多总线
9. 在微型机系统中，外围设备通过_____与主板的系统总线相连接。
A. 适配器 B. 设备控制器 C. 计数器 D. 寄存器
10. CD—ROM 光盘的标准播放时间为 60 分钟。在计算模式 1 情况下，光盘的存储容量为_____。
A. 601MB B. 527MB C. 630MB D. 530MB
11. 2000 年超级计算机最高运算速度达到_____次。
A. 100 亿次 B. 1000 亿次 C. 5000 亿次 D. 10000 亿次

12. 某机字长 32 位，其中 1 位符号位，31 位表示尾数。若用定点整数表示，则最大正整数是_____。
A.+ $(2^{31}-1)$ B.+ $(2^{30}-1)$ C. $+2^{31}$ D. $+2^{32}$
13. 在定点运算器中，无论采用双符号位还是单符号位，必须有_____，它一般用_____来实现。
A.译码电路 与非门 B.编码电路 或非门
C.溢出判断电路 异或门 D.移位电路 与或非门
14. 交叉存贮器实质上是一种_____存贮器，它能_____执行_____独立的读写操作。
A.模块式 并行 多个 B.模块式 串行 多个
C.整体式 并行 一个 D.整体式 串行 多个
15. 双端口存储器所以能高速进行读写，是因为采用_____。
A.高速芯片 B.两套相互独立的读写电路
C.流水技术 D.新型器件
16. 堆栈寻址方式中，设 A 为通用寄存器，SP 为堆栈指示器， M_{SP} 为 SP 指示器的栈顶单元，如果进栈操作是： $(A) \rightarrow M_{SP}$, $(SP) -1 \rightarrow SP$ ，那么出栈操作的动作应为_____。
A. $(M_{SP}) \rightarrow A$, $(SP) +1 \rightarrow SP$ B. $(SP) +1 \rightarrow SP$, $(M_{SP}) \rightarrow A$
C. $(SP) -1 \rightarrow SP$, $(M_{SP}) \rightarrow A$ D. $(M_{SP}) \rightarrow A$, $(SP) -1 \rightarrow SP$
17. 描述流水 CPU 基本概念正确的句子是_____。
A.流水 CPU 是以空间并行性为原理构造的处理器
B.流水 CPU 一定是 RISC 机器
C.流水 CPU 一定是多媒体 CPU
D.流水 CPU 是一种非常经济而实用的时间并行技术
18. 多总线结构的计算机系统，采用_____方法，对提高系统的吞吐能力最有效。
A.多端口存贮器 B.提高主存的速度
C.交叉编址多模存贮器 D.高速缓冲存贮器
19. 带有处理器的设备一般称为_____设备。

- A. 智能化 B. 交互式 C. 远程通信 D. 过程控制
20. 通道程序是由_____组成。
- A.I/O 指令 B.通道指令（通道控制字） C.通道状态字

三、填空题（每空 1 分，共 15 分；把答案填在划线中。）

本题型暂时没有复习资料。

四、计算题（每小题 10 分，共 20 分）

1. 设有两个浮点数 $N_1 = 2^{j_1} \times S_1$, $N_2 = 2^{j_2} \times S_2$, 其中阶码 2 位, 阶符 1 位, 尾数四位, 数符一位。设 : $j_1 = (-10)_2$, $S_1 = (+0.1001)_2$
 $j_2 = (+10)_2$, $S_2 = (+0.1011)_2$

求: $N_1 \times N_2$, 写出运算步骤及结果, 积的尾数占 4 位, 要规格化结果, 用原码阵列乘法器求尾数之积。

(1) 浮点乘法规则:

$$N_1 \times N_2 = (2^{j_1} \times S_1) \times (2^{j_2} \times S_2) = 2^{(j_1+j_2)} \times (S_1 \times S_2)$$

(2) 码求和:

$$j_1 + j_2 = 0$$

(3) 尾数相乘:

被乘数 $S_1 = 0.1001$, 令乘数 $S_2 = 0.1011$, 尾数绝对值相乘得积的绝对值, 积的符号位 = $0 \oplus 0 = 0$ 。按无符号阵乘法器运算得: $N_1 \times N_2 = 2^0 \times 0.01100011$

(4) 尾数规格化、舍入 (尾数四位)

$$N_1 \times N_2 = (+0.01100011)_2 = (+0.1100)_2 \times 2^{(-01)}_2$$

2. 已知某 8 位机的主存采用半导体存贮器，地址码为 18 位，若使用 $4K \times 4$ 位 RAM 芯片组成该机所允许的最大主存空间，并选用模块条的形式，问：
- (1) 若每个摸条为 $32K \times 8$ 位，共需几个模块条？
 - (2) 每个模块内共有多少片 RAM 芯片？
 - (3) 主存共需多少 RAM 芯片？CPU 如何选择各模块条？

解：(1) 由于主存地址码给定 18 位，所以最大存储空间为 $2^{18} = 256K$ ，主存的最大容量为 $256KB$ 。现每个模块条的存储容量为 $32KB$ ，所以主存共需 $256KB / 32KB = 8$ 块板。

(2) 每个模块条的存储容量为 $32KB$ ，现使用 $4K \times 4$ 位的 RAM 芯片拼成 $4K \times 8$ 位（共 8 组），用地址码的低 12 (A_0 — A_{11}) 直接接到芯片地址输入端，然后用地址的高 3 位 (A_{14} — A_{12}) 通过 $3 : 8$ 译码器输出分别接到 8 组芯片的选片端。共有 $8 \times 2 = 16$ 个 RAM。

(3) 据前面所得，共需 8 个模条，每个模条上有 16 片芯片，故主存共需 $8 \times 16 = 128$ 片 RAM 芯片。

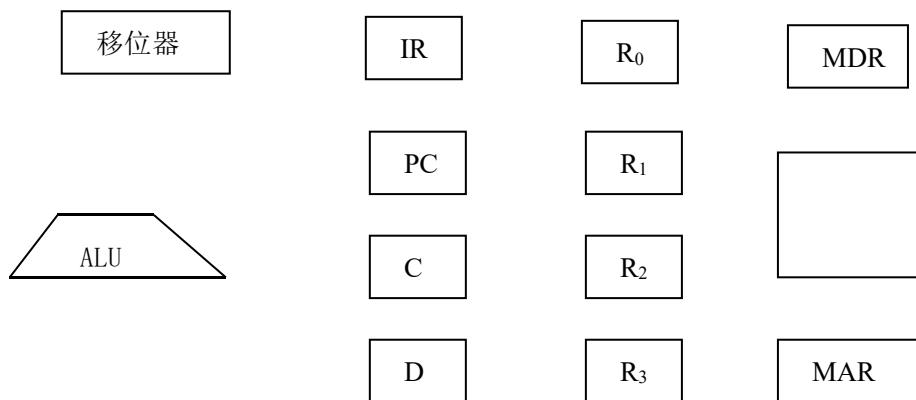
五、综合分析题（共 2 小题，共 15 分）

1. (10 分) 某计算机有如下部件：ALU，移位器，主存 M，主存数据寄存器 MDR，主存地址寄存器 MAR，指令寄存器 IR，通用寄存器 $R_0—R_3$ ，暂存器 C 和 D。

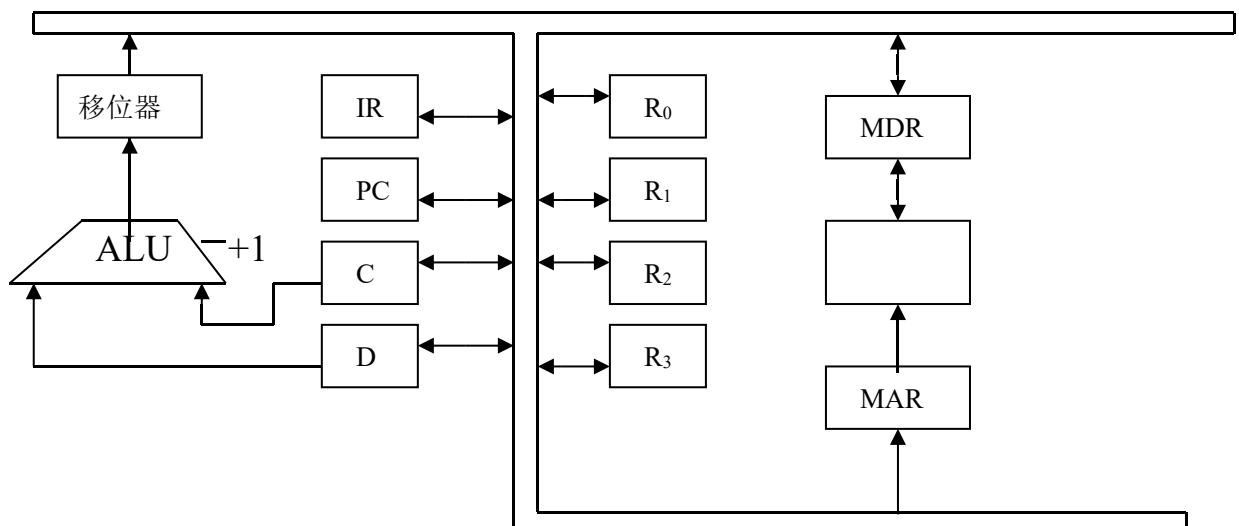
(1) 请将各逻辑部件组成一个数据通路，并标明数据流向。

(2) 画出“ADD $R_1, (R_2)$ ”指令的指令周期流程图，指令功能是

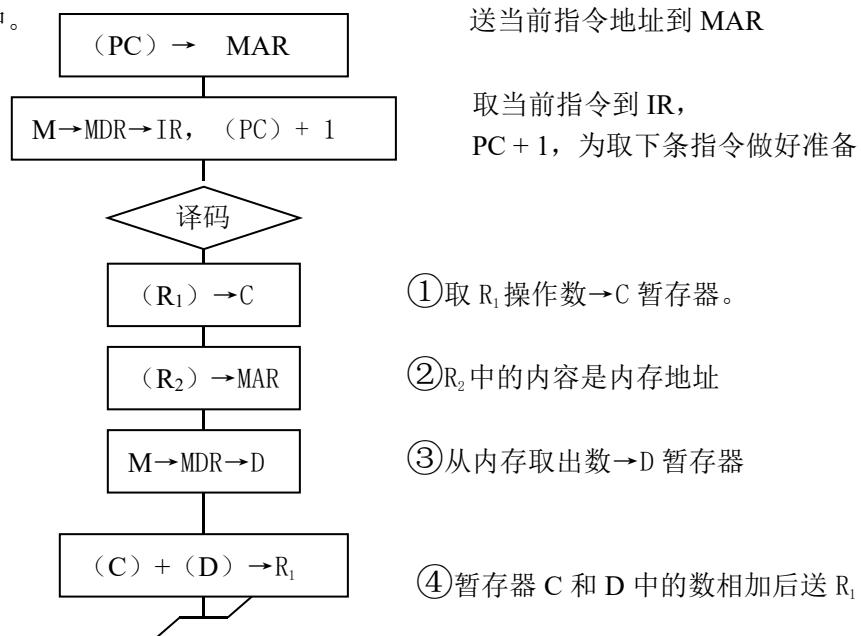
$$(R_1) + ((R_2)) \rightarrow R_1.$$



解：(1) 各功能部件联结成如图所示数据通路：



(2) 此指令为 RS 型指令，一个操作数在 R_1 中，另一个操作数在 R_2 为地址的内存单元中，相加结果放在 R_1 中。



2. (5 分) 刷存的主要性能指标是它的带宽。实际工作时显示适配器的几个功能部分要争用刷存的带宽。假定总带宽的 50% 用于刷新屏幕，保留 50% 带宽用于其他非刷新功能。

- (1) 若显示工作方式采用分辨率为 1024×768 , 颜色深度为 3B, 帧频 (刷新速率) 为 72HZ, 计算总带宽。
- (2) 为达到这样高的刷存带宽, 应采取何种技术措施?

解: (1) 因为 刷新所需带宽 = 分辨率 \times 每个像素点颜色深度 \times 刷新速度

$$\text{所以 } 1024 \times 768 \times 3B \times 72 / \text{s} \times 100/50 = 324\text{MB / s}$$

(2) 为达到这样高的刷存带宽, 可采用如下技术措施:

1. 使用高速的 DRAM 芯片组成刷存。
2. 刷存采用多体交错结构。
3. 刷存内显示控制器的内部总线宽度由 32 位提高到 64 位, 甚至到 128 位。

刷存采用双端口存储器结构, 将刷新端口与更新端口分开。